

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 57-134975

(43)Date of publication of application : 20.08.1982

(51)Int.Cl.

H01L 29/78

G11C 11/40

H01L 27/10

(21)Application number : 56-021107

(71)Applicant : AGENCY OF IND SCIENCE &  
TECHNOL  
SEIKO INSTR & ELECTRONICS LTD

(22)Date of filing : 16.02.1981

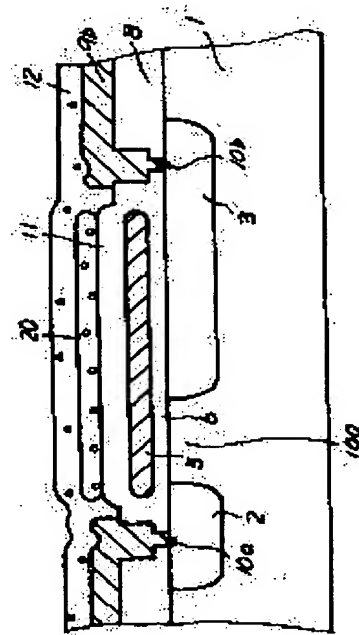
(72)Inventor : HAYASHI YUTAKA  
KOJIMA YOSHIKAZU  
KAMIYA MASAOKI  
TANAKA KOJIRO

## (54) NONVOLATILE SEMICONDUCTOR MEMORY

## (57)Abstract:

PURPOSE: To form a nonvolatile semiconductor memory for low-voltage writing- in with less time variation, by providing a shield electrode on a floating gate.

CONSTITUTION: An N<sup>+</sup> source region 2 and a drain region 3 are formed on a P type silicon substrate 1. A floating gate 5 is arranged on the first gate of an oxide film 6. The drain region 3 works also as a control gate region to control the potential of the floating gate 5 by capacitance coupling. A shield electrode 20 is provided on the floating gate 5 via an insulating film 11. A passivation film 12 is arranged on it. The shield electrode 20 is connected to a source electrode 9a or a drain electrode 9b. It is set to the same potential with other electrodes. A memory excellent in stability can be realized without receiving ambient influence. The minimum write-in voltage for the memory can be lowered.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭57—134975

⑬ Int. Cl.<sup>3</sup>

H 01 L 29/78

G 11 C 11/40

H 01 L 27/10

識別記号

1 0 1

庁内整理番号

7514—5F

6549—5B

⑭ 公開 昭和57年(1982) 8月20日

発明の数 3

審査請求 有

(全 8 頁)

⑮ 不揮発性半導体記憶装置

⑯ 特 願 昭56—21107

⑰ 出 願 昭56(1981) 2月16日

⑱ 発 明 者 林豊

茨城県新治郡桜村梅園 1 丁目 1  
番 4 号工業技術院電子技術総合  
研究所内

⑲ 発 明 者 小島芳和

東京都江東区亀戸 6 丁目 31 番 1  
号株式会社第二精工舎内

⑲ 発 明 者 神谷昌明

東京都江東区亀戸 6 丁目 31 番 1  
号株式会社第二精工舎内

⑲ 発 明 者 田中小次郎

東京都江東区亀戸 6 丁目 31 番 1  
号株式会社第二精工舎内

⑳ 出 願 人 工業技術院長

㉑ 復 代 理 人 弁理士 最上務

㉒ 出 願 人 株式会社第二精工舎

東京都江東区亀戸 6 丁目 31 番 1  
号

明 細 書

1. 発明の名称 不揮発性半導体記憶装置

2. 特許請求の範囲

(1) 第 1 導電型の第 1 半導体領域と、該領域表面に設けられた第 1 導電型とは異なる第 2 導電型の第 2 の半導体領域と、該第 2 半導体領域と第 1 の半導体領域表面上に第 1 の絶縁膜を介してはしわたす如く設けられた浮遊ゲートと、該浮遊ゲート上に第 2 の絶縁膜を介して設けられたシールド電極からなり、前記第 2 の半導体領域は容量結合により前記浮遊ゲートの電位を制御することを特徴とした不揮発性半導体記憶装置。

(2) 第 1 導電型の第 1 の半導体領域と、該領域表面に設けられた第 2 導電型の第 2 の半導体領域と、前記第 2 の半導体領域から離れて半導体表面に形成された第 2 導電型の第 3 の半導体領域と、前記第 2 の半導体領域及び第 3 の半導体領域の間の第 1 の半導体領域表面に形成されるチャネル領

域と、前記チャネル領域の上と前記第 2 の半導体領域の上と前記第 3 の半導体領域端部との上に第 1 の絶縁膜を介して形成される浮遊ゲートと、前記浮遊ゲートの上に第 2 の絶縁膜を介して形成されるシールド電極から成り、前記第 2 の半導体領域は前記浮遊ゲートの電位を容量結合により制御する制御ゲート領域として動作し、かつ、前記第 2、第 3 の半導体領域はいずれか一方が電界効果トランジスタのソース領域、他方がドレイン領域として動作することを特徴とする不揮発性半導体記憶装置。

(3) 第 1 導電型の第 1 の半導体領域と該領域表面に設けられた第 2 導電型の第 2 の半導体領域と、前記第 2 の半導体領域から離れて半導体基板表面に形成された第 2 導電型の第 3、第 4 の半導体領域と、前記第 3 の半導体領域及び第 4 の半導体領域の間の第 1 の半導体領域表面に形成されるチャネル領域と、前記チャネル領域の上と前記第 2 の半導体領域の上と前記第 3、第 4 の半導体領域端部の上とに第 1 の絶縁膜を介して形成される浮遊

ゲートと、前記浮遊ゲートの上に第2の絶縁膜を介して形成されるシールド電極とから成り、前記第2の半導体領域は前記浮遊ゲートの電位を容量結合により制御する制御ゲート領域として動作し、前記第3、第4の半導体領域はいずれか一方が電界効果トランジスタのソース電極、他方がドレイン電極として動作することを特徴とする不揮発性半導体記憶装置。

(4) 基板表面部分に前記第2の半導体領域から延びて第2導電型の第5の半導体領域が形成され、前記第4の半導体領域が浮遊ゲートに注入する電子を供給するインジエクタ領域として動作することを特徴とする特許請求の範囲第1項から第3項いずれか記載の不揮発性半導体記憶装置。

(5) 前記シールド電極の電位が前記第2の半導体領域の電位と等しいことを特徴とする特許請求の範囲第1項から第4項いずれか記載の不揮発性半導体記憶装置。

は、第2図の如く示すことができる。ここで、 $V_s$  はソース電極9aの電位、 $V_{sub}$  はシリコン基板1の電位、 $V_D$  はドレイン電極9bの電位、 $V_{G0}$  は制御ゲート電極9cの電位、 $V_F$  は浮遊ゲート5の電位、 $C_s$  は浮遊ゲート5とソース電極9aとの静電容量、 $C_{sub}$  は浮遊ゲート5とシリコン基板1との静電容量、 $C_D$  は浮遊ゲート5とドレイン電極9bとの静電容量、 $C_{G0}$  は浮遊ゲート5と制御ゲート電極9cとの静電容量である。

メモリの動作原理を、第2図の等価回路及び良く知られている絶縁ゲート電界効果型トランジスタ(MOSFET)の電流-電圧特性から説明する。

説明を簡単にするために、ソース電極9aとシリコン基板1は同電位とし、便宜上  $V_s = V_{sub} = 0$  とする。制御ゲート電極9c及びドレイン電極9bに、それぞれ正の電圧  $V_{G0}$  及び  $V_D$  を印加すると、ソース領域2とドレイン領域3の間のチャネルを流れる電流  $I_D$  は良く知られているように

$$I_D = \beta (V_{G0} - V_{th})^2 \quad \dots \dots \dots (1)$$

### 3. 発明の詳細な説明

この発明は、再書き込み可能な情報記憶用浮遊ゲート電極を有する不揮発性半導体記憶装置に関する。

一般的な従来の不揮発性半導体記憶装置の構造及び動作原理を、第1図(a)と(b)と(c)とを参照して簡単に説明する。

第1図(a)は平面図、第1図(b)は第1図(a)のA-A'線断面図、第1図(c)は第1図(a)のB-B'線断面図である。

メモリトランジスタがN型の場合について説明する。P型シリコン基板1のN+ソース領域2、ドレイン領域3が形成され、第1のゲート酸化膜4上には浮遊ゲート5が配設され、その上に浮遊ゲート電極の酸化膜11を介してパッシベーション膜12が配設されている。また制御ゲート領域4は、浮遊ゲート電極5の延長された一部の下に、第2のゲート絶縁膜7を介して配設されている。

この浮遊ゲート型の不揮発性メモリの等価回路

でよい近似が行なえる。ここで、 $\beta$  はメモリトランジスタの構造で決まる定数であり、次式で与えられる。

$$\beta = \frac{\mu \epsilon_{ox}}{2 \epsilon_{ox1}} \cdot \frac{W}{L} \quad \dots \dots \dots (2)$$

ここで、 $\epsilon_{ox1}$  は第1ゲート酸化膜4の膜厚、 $\epsilon_{ox}$  はその誘電率、 $\mu$  は電子の移動度、 $L$  は実効チャネル長、 $W$  は実効チャネル幅である。また、(1)式において  $V_{th}$  は、浮遊ゲート5に対する閾値電圧である。

次に、第2図に示したメモリの等価回路より、浮遊ゲート5の電位  $V_F$  は次式のよう求められる。

$$V_F = \frac{Q_{G0} V_{G0} + C_D V_D - Q_F}{C_s + C_{sub} + C_D + C_{G0}} \quad \dots \dots \dots (3)$$

ここで、 $Q_F$  は浮遊ゲート中の電荷量である。チャネル注入型のメモリの場合は、チャネルを流れる電流がソース・ドレイン間の電界により加速され、充分のエネルギーを得た電子が浮遊ゲート中へ注入される。電子が浮遊ゲート中に注入されると、メモリトランジスタの閾値電圧  $V_{th}$  (制御

ゲート電極90に対する閾値電圧)は、次式のように変化する。

$$V_{TK} = V_{T0} + Q_F / C_{Q0} \quad \dots \dots \dots (4)$$

ここで、 $V_{T0}$ は浮遊ゲート中に電荷が存在しない(即ち $Q_F = 0$ )の場合の浮遊ゲートに対する閾値電圧を制御ゲート電極に対する閾値電圧に換算した値である。

$$V_{T0} = \frac{(C_F + C_{oxb} + C_D + C_{Q0})V_T - C_D V_D}{C_{Q0}} \quad \dots \dots \dots (5)$$

(1), (2), (3), (4), (5)式より、(1)式は次式のように書き換えられる。

$$\begin{aligned} I_D &= \beta \cdot \left( \frac{C_{Q0}}{C_{Q0}^2} \right)^2 (V_{Q0} - V_{TK})^2 \\ &= \beta \left( \frac{C_{Q0}}{C_{Q0}^2} \right)^2 (V_{Q0} - V_{T0} - \frac{Q_F}{C_{Q0}})^2 \quad \dots \dots \dots (6) \end{aligned}$$

$$\text{ここで、 } C_T = C_F + C_{oxb} + C_D + C_{Q0} \quad \dots \dots \dots (7)$$

第3図に、メモリトランジスタの電気特性の一例を示す。 $V_D$ に一定電圧を印加した場合の $V_{Q0} - \sqrt{I_D}$ 特性である。浮遊ゲート5に電子が注入されると、曲線①から曲線②へと特性が変化する。

(6)式より、 $C_{Q0}$ を他の容量に比べ大きくすることによつて、最低書き込み電圧を小さくすることができる。第1図のように、制御ゲート電極をシリコン基板中に設けることにより、第二ゲート酸化膜7は、50 Å程度まで薄くできる。制御ゲート電極が浮遊ゲートの上にあるメモリの場合、浮遊ゲート5と制御ゲート電極間の絶縁膜は、二酸化シリコン膜の場合約1000 Å以上厚い膜が必要になる。なぜなら、浮遊ゲート(一般に多結晶シリコン)の酸化膜は、単結晶シリコンの酸化膜に比べ膜質が悪いため、電気伝導度が高い。そこで、浮遊ゲート5の上に、多結晶シリコンの酸化膜を介して制御ゲート電極を設ける場合は、浮遊ゲート中の電子がもれないように、浮遊ゲート上の酸化膜を厚くする。浮遊ゲートと制御ゲート電極間の絶縁膜が厚いと、 $C_{Q0}$ は小さくなる。(6)式より $C_{Q0}$ が小さくなると、最低書き込み電圧は大きくなり、メモリとして好ましくない。しかし、第1図のようなメモリの場合、制御ゲート電極がシリコン基板内に設けてあるために、浮遊ゲ

る。よつて、メモリトランジスタに $V_{Q0}$ を印加したときに、曲線①の場合はメモリトランジスタがONであり、曲線②の場合はメモリトランジスタがOFFであることから、この装置は記憶装置として動作する。

次に、電子を基板1から浮遊ゲート5へ注入するための必要条件は、チャネル注入の場合チャネルに電流が流れることである。従つて、(1)式より、次式が必要条件となる。

$$\sqrt{I_D} = \sqrt{\beta} (V_T - V_{TK}) > \sqrt{I_{D0}} \approx 0 \quad \dots \dots \dots (7)$$

ただし、上式の $I_{D0}$ はチャネルが強反転になる直前のドレイン電流である。チャネルが強反転して電流が流れるためには、少なくとも次式が成り立つ。

$$V_{T1} \geq V_T \quad \dots \dots \dots (8)$$

(8)式へ(3)式を代入すると、

$$V_{Q0} \geq \frac{C_T V_T + Q_F - C_D V_D}{C_{Q0}} \quad \dots \dots \dots (9)$$

となる。(9)式より最低書き込み電圧 $V_{W0}$ は

$$V_{W0} = \frac{C_T V_T + Q_F - C_D V_D}{C_{Q0}} \quad \dots \dots \dots (10)$$

である。

ゲート電極と制御ゲート電極との絶縁膜は、50 Å程度まで薄くできるために、制御ゲート領域の面積が小さくても $C_{Q0}$ を大きくすることができる。即ち第1図のようなメモリは、(10)式より最低書き込み電圧を大きくしないで、高集積化に適したメモリになる。

しかし、制御ゲート電極をシリコン基板内に設けたメモリは、最低書き込み電圧が低く、高集積化に適しているにもかかわらず、次のような欠点を有している。即ち、浮遊ゲートが完全に外部に対してシールドされていないために、メモリの書き込み条件の変化、メモリトランジスタの閾値電圧 $V_{TK}$ の経時変化が生ずる。

本発明の目的は、従来の欠点を改良するためになされたものであり、経時変化の少ない低電圧書き込みの不揮発性半導体記憶装置を与えるものである。

以下、本発明の一実施例を、第4図(a)と(b)と(c)及び第5図を参照しながら説明する。

第4図(a)と(b)と(c)は、チャネル注入型の不揮発

性メモリ(第1図(a)と(b)と(c))に本発明を利用した一実施例である。第4図(a)は平面図、第4図(b)は第4図(a)のC-C'線断面図、第4図(c)は第4図(a)のD-D'線断面図である。第4図の如く、シールド電極20を浮遊ゲート5の上に絶縁膜11を介して設ける。シールド電極20は、導電体であれば何でもよい。例えば、アルミニウム、多結晶シリコンである。特にアルミニウムの場合は、アルミ配線と同時に形成できるので、従来と全く同じ製造プロセスで形成できる。

第5図に、本発明の一実施例である第4図のメモリの等価回路を示す。 $V_{sh}$ はシールド電極20の電位であり、 $C_{sh}$ は浮遊ゲート電極5とシールド電極20との静電容量である。第5図の等価回路より、浮遊ゲート5の電位 $V_F$ は次式のようになる。

$$V_F = \frac{C_{G,0} \cdot V_{G,0} + C_D \cdot V_D + C_{sh} \cdot V_{sh} - Q_F}{C_G + C_{sub} + C_D + C_{G,0} + C_{sh}} \quad \dots \dots \dots (4)$$

但し、 $V_G = V_{sh} = 0$ とする。

シールド電極20が他の電極と接続されないと、

のようになる。

$$V_F = \frac{(C_{G,0} + C_{sh})V_{G,0} + C_D \cdot V_D - Q_F}{C_G + C_{sub} + C_D + C_{G,0} + C_{sh}} \quad \dots \dots \dots (4')$$

時、時、時式より明らかなように、浮遊ゲート20の電位は、他の電極(ソース・ドレイン、制御ゲート、シールド電極)によつて完全に定めることが可能になる。即ち、外部からの影響を全く受けない安定性に優れたメモリが実現できる。特に、シールド電極20の電位を制御ゲート電極9aと同電位にした場合、最低書き込み電圧 $V_{w0}$ は(8)、時式より次式のようになる。

$$V_{w0} = \frac{(C_G + C_{sub} + C_D + C_{G,0} + C_{sh})V_G + Q_F - C_D \cdot V_D}{C_{G,0} + C_{sh}} \quad \dots \dots \dots (8)$$

時式より明らかなように、シールド電極20が無いメモリの最低書き込み電圧に比べ小さくなる。例えば、本発明を利用したメモリの最低書き込み電圧は、従来7Vのところを6Vに減少できた。即ち、メモリの特性をも改善される。

第6図に本発明の一効果を示す。ドレイン電極9bに定電圧(第6図では0.1V)を印加し、さ

電気的に浮いた状態の場合、シールド電極20の上に形成されるパッシベーション膜の分極及び外部からの電界によつて、シールド電極20の電位 $V_{sh}$ は変化する。即ち、(4)式より $V_{sh}$ の関数である浮遊ゲートの電位 $V_F$ が変化し、メモリの見かけ上の特性が変化する。そこで本発明は、シールド電極20の電位を他の電極の電位と同電位にして、メモリの特性を安定化したものである。

シールド電極20をソース電極9aと同電位にした場合、 $V_{sh} = V_G = 0$ より時式は時式のようになる。

$$V_F = \frac{C_{G,0} \cdot V_{G,0} + C_D \cdot V_D - Q_F}{C_G + C_{sub} + C_D + C_{G,0} + C_{sh}} \quad \dots \dots \dots (4'')$$

また、シールド電極20をドレイン電極9bと同電位にした場合、 $V_{sh} = V_D$ より時式は時式のようになる。

$$V_F = \frac{C_{G,0} \cdot V_{G,0} + (C_D + C_{sh})V_D - Q_F}{C_G + C_{sub} + C_D + C_{G,0} + C_{sh}} \quad \dots \dots \dots (4''')$$

また、シールド電極20を制御ゲート電極9cと同電位にした場合、 $V_{sh} = V_{G,0}$ より時式は時式

らに制御ゲート電極9cに適切な電圧を印加したときの、ソース・ドレイン間電流 $I_D$ の時間変化を示したものである。曲線③は従来のシールド電極20が無い場合の $I_D$ の時間変化であり、曲線④は、本発明のシールド電極20を浮遊ゲート5上に設けた場合の $I_D$ の時間変化を示すグラフである。また第6図中のB点は、メモリに息をふきかけた時の $I_D$ の変化を示す。第6図より明らかなように、本発明のシールドを設けたメモリは、非常に安定に動作することがわかる。

第4図は、チャネル注入型不揮発性メモリに本発明を利用した一実施例であつた。本発明は、制御ゲートが半導体基板内に設けられた不揮発性メモリであれば、注入方法に関係なしに適用できる。

第7図は、第1図のメモリと同じ注入方法が可能な本発明の浮遊ゲート型メモリの断面図である。第1図の制御ゲートの役割をドレイン領域3が兼ねている。即ち、浮遊ゲート電極5とドレイン領域3との間の容量を他の容量に対して大きくすることにより、浮遊ゲート5の電位をドレイン電圧

で制御することができる。ドレイン電圧に高電圧を印加すると、浮遊ゲート5の下のチャネル100が反転し、ソース領域2とドレイン電極5の間に電流が流れる。

次のページにつづく

遊ゲート電極25へ注入するメモリである。浮遊ゲート電極25中の電子の量に従ってソース・ドレイン間のコンダクタンスが変化する。このようなラッキークエレクトロン注入型のメモリの場合においても、第8図に示す如く、シールド電極40を設けることにより、メモリ特性の安定化及び向上が可能になる。

第1図、第4図、第7図、第8図に示したメモリは、全て浮遊ゲート中に電子あるいは正孔を注入することにより、浮遊ゲート下のチャネル領域のコンダクタンスを変化させる記憶装置であつた。

第9図の本発明の実施例は、静電容量の変化を記憶する半導体記憶装置である。P型の半導体基板51にN型の半導体領域52を設け、半導体領域52の上及び半導体基板51に絶縁膜56を介して浮遊ゲート55を設ける。さらに、浮遊ゲート55の上には、本発明のシールド電極60を絶縁膜61を設ける。また、半導体領域52より離れてP型の半導体領域53を設け、半導体領域52及び53に電極59a、59bを設ける。

さらに、その電流は、ドレイン領域5の近くの高電界で加速され、浮遊ゲート5に注入される。すなわち、書き込みが行われる。

第7図の如く、本発明のシールド電極20を設けることにより、ソース・ドレイン領域間電流は経時変化の心配がない。

第8図は、他の注入方法の不揮発性メモリに本発明を利用した場合の一実施例である。第8図(a)は平面図であり、第8図(b)は第8図(a)のA-A'線断面図である。半導体基板21に、ソース領域22とドレイン領域23と制御ゲート領域24が設けられており、さらに半導体基板内に電子注入領域33が設けられている。また、浮遊ゲート電極25は、絶縁膜27、28、26を介して制御ゲート領域24、ソース領域22、ドレイン領域23の上に設けられている。このメモリは、チャネル注入型メモリ同様に制御ゲート電極29cの電位によつて浮遊ゲート電極25の電位を上げ、絶縁膜27の下の半導体基板の表面を空乏あるいは反転化して、電子注入領域33からの電子の一部を浮

第9図に示す半導体装置は、浮遊ゲート55の電子の量に対応して電極59aと電極59bとの間の静電容量が変化する。つまり、不揮発性記憶容量素子として動作する。浮遊ゲート55への電子あるいは正孔の注入は、光照射あるいは、半導体基板51にN型のインジエクタ領域を設けることにより可能となる。本発明のシールド電極60を設けることにより、経時変化のない記憶容量素子が得られる。

以上、本発明によれば、浮遊ゲートの電位を半導体基板内に設けられた制御ゲート領域の電位で制御して浮遊ゲート中に電子あるいは正孔を注入する全ての浮遊ゲート型不揮発性メモリにおいて、浮遊ゲート上に絶縁膜を介してシールド電極を設け、そのシールド電極の電位を他の電極と同電位あるいは一定電圧にすることにより不揮発性メモリの安定化、さらには特性の向上をもたらすものである。この発明で、制御ゲート領域、ソース・ドレイン領域、インジエクタ領域が形成される半導体領域を「半導体基板」の場合について実施

例を示したが、この半導体領域は、半導体基板中に分離された領域でもよいし、絶縁基板上の半導体層でもよい。

本発明では、これを総称して「第1の半導体領域」と呼ぶ。

#### 4. 図面の簡単な説明

第1図(a)と(b)と(c)とは、それぞれ従来のチャネル注入型不揮発性メモリの平面図、第1図(a)のA-A'線断面図、第1図(a)のB-B'線断面図であり、

第2図は第1図の不揮発性メモリの容量結合状態を示す電気的等価回路図、

第3図はメモリの動作原理を示す図、

第4図(a)と(b)と(c)とは、それぞれチャネル注入型不揮発性メモリに本発明を適用した一実施例で、平面図、第4図(a)のC-C'線断面図、第4図(a)のD-D'線断面図である。

第5図は、第4図の不揮発性メモリの容量結合状態を示す電気的等価回路図であり、

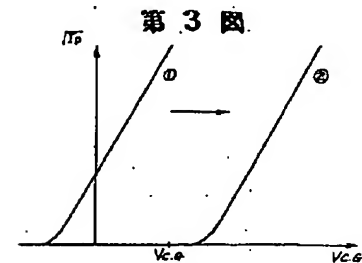
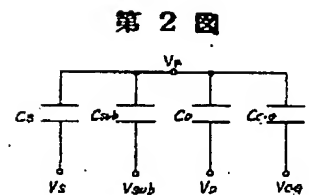
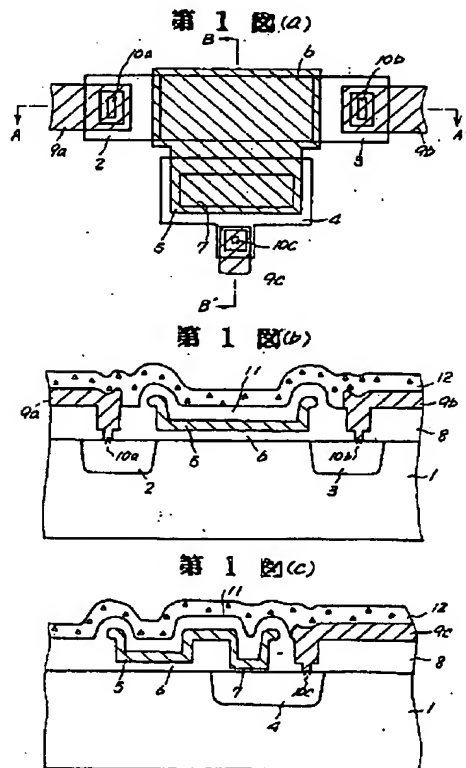
第6図は本発明の一実施例を示す図である。

第7図は本発明を適用した他の実施例の断面図であり、

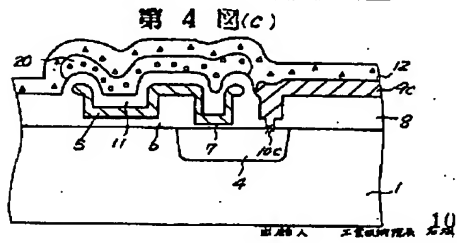
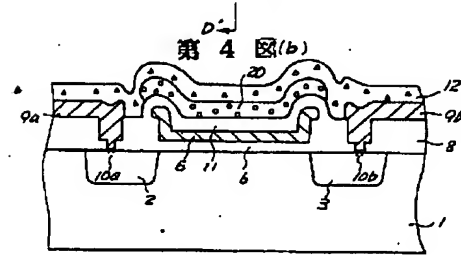
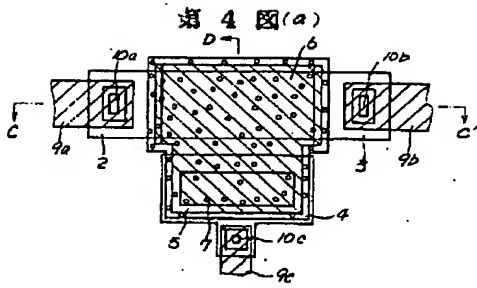
第8図(a)と(b)は、それぞれランキーエレクトロン注入型不揮発性メモリに本発明を適用した一実施例の平面図及び、第8図(a)のE-E'線断面図である。

第9図は、本発明を不揮発性容量記憶装置に適用した一実施例の断面図である。

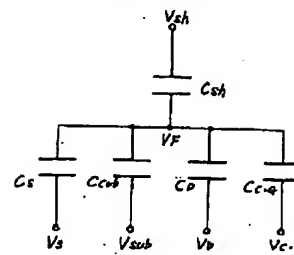
- 1, 21, 51 …… 半導体基板
- 2, 22 …… ソース領域
- 3, 23 …… ドレイン領域
- 4, 24 …… 制御ゲート領域
- 5, 25, 55 …… 浮遊ゲート
- 6, 26, 56 …… ゲート絶縁膜
- 8, 28, 58 …… フィールド絶縁膜
- 20, 40, 60 …… シールド電極
- 12, 32, 62 …… パンジベーション膜
- 33 …… 電子注入領域
- 100 …… チャネル



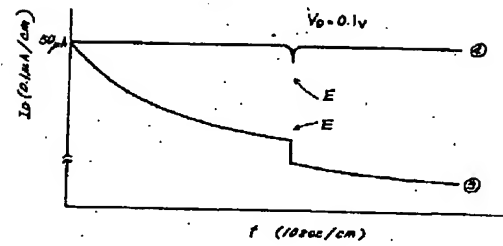




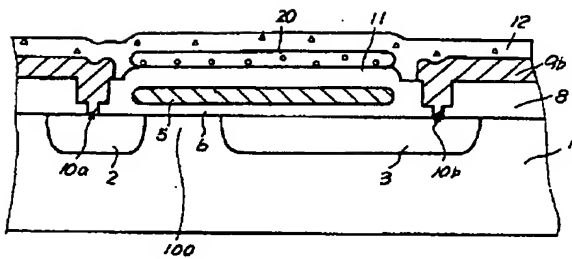
第5圖



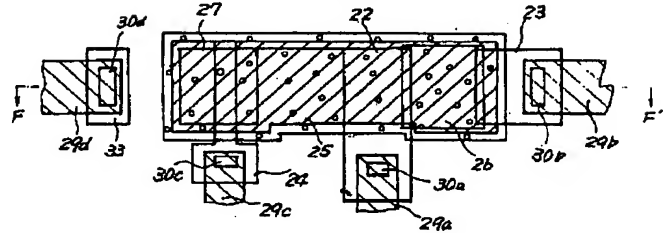
第6圖



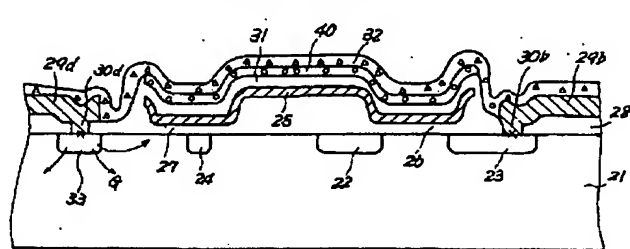
第7圖



第8圖(a)



第8圖(b)



第 9 図

